

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-331526

(43)公開日 平成9年(1997)12月22日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 04 N 7/24			H 04 N 7/13	Z
H 03 M 7/36		9382-5K	H 03 M 7/36	
H 04 N 1/41			H 04 N 1/41	B

審査請求 未請求 請求項の数9 FD (全12頁)

(21)出願番号 特願平8-217771  
 (22)出願日 平成8年(1996)7月31日  
 (31)優先権主張番号 特願平8-114281  
 (32)優先日 平8(1996)4月11日  
 (33)優先権主張国 日本 (JP)

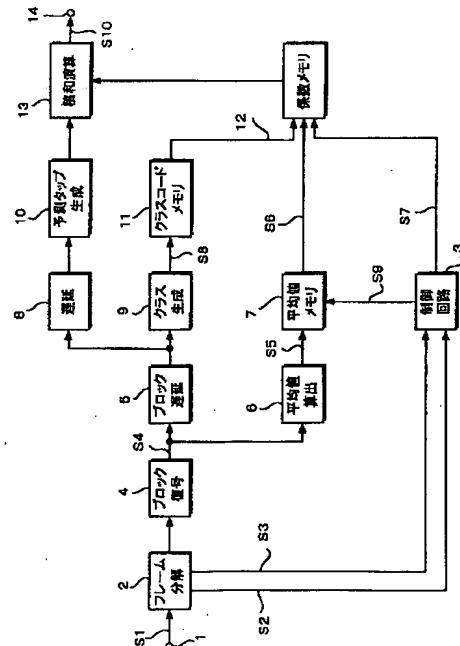
(71)出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (72)発明者 中屋 秀雄  
 東京都品川区北品川6丁目7番35号 ソニ  
 一株式会社内  
 (72)発明者 近藤 哲二郎  
 東京都品川区北品川6丁目7番35号 ソニ  
 一株式会社内  
 (74)代理人 弁理士 杉浦 正知

## (54)【発明の名称】 画像信号処理装置および方法

## (57)【要約】

【課題】 エッジやディテール部分をなまらせることなく、ブロック歪みを除去することができる。

【解決手段】 ブロック復号回路4では、圧縮符号化された画像データS1からブロック単位で復号画像データS4が outputされる。平均値算出回路6では、復号画像データS4から平均値データS5が算出され、注目ブロックとその隣接ブロックの平均値データが第1のクラスコードS6として、係数メモリ12へ供給される。クラス生成回路9では、復号画像データS4から第2のクラスコードS8が生成され、係数メモリ12へ供給される。係数メモリ12では、第1および第2のクラスコードさらに制御回路3からの位置情報S7から求められた第3のクラスコードに応答する係数組が係数メモリ12から読み出される。積和演算回路13では、復号画像データS4に対して線形1次結合を施すことによって、予測復号画像データS10が生成される。



## 【特許請求の範囲】

【請求項1】 所定の圧縮符号化手段によりブロック単位で圧縮符号化された圧縮画像データを復号処理する画像信号処理装置において、  
上記圧縮画像データをブロック単位で復号した復号画像データの各ブロックの特徴量を検出する特徴量検出手段と、  
上記復号画像データをパターン分類して上記復号画像データが属するクラスを検出するクラス検出手段と、  
上記特徴量検出手段によって得た注目ブロックおよび上記注目ブロックに隣接する隣接ブロックの上記特徴量を集めて所定ビットで量子化することにより得られる第1のクラス情報と、上記クラス検出手段によって得た第2のクラス情報とに基づいて生成された第3のクラス情報に応じて、予め記憶されている所定の係数を読み出して出力する係数テーブルと、  
上記係数テーブルから出力された上記所定の係数と上記復号画像データとを積和演算することにより予測復号画像データを生成する演算手段とからなることを特徴とする画像信号処理装置。

【請求項2】 請求項1に記載の画像信号処理装置において、  
上記特徴量は、  
上記復号画像データの各ブロックの平均値であることを特徴とする画像信号処理装置。

【請求項3】 請求項1に記載の画像信号処理装置において、  
上記特徴量は、  
上記復号画像データの各ブロック内の最大値および最小値から算出した中央値であることを特徴とする画像信号処理装置。

【請求項4】 請求項1に記載の画像信号処理装置において、  
上記特徴量は、  
上記復号画像データの各ブロックの標準偏差であることを特徴とする画像信号処理装置。

【請求項5】 請求項1に記載の画像信号処理装置において、  
上記特徴量は、  
上記復号画像データの各ブロックの分散値であることを特徴とする画像信号処理装置。

【請求項6】 請求項1に記載の画像信号処理装置において、  
さらに、上記復号画像データの各ブロック内の画素について相対的な位置情報を検出する位置情報検出手段とを備えたことを特徴とする画像信号処理装置。

【請求項7】 請求項6に記載の画像信号処理装置において、  
上記第3のクラス情報は、  
上記第1および第2のクラス情報と、上記位置情報とに

基づいて生成されることを特徴とする画像情報処理装置。

【請求項8】 請求項1に記載の画像信号処理装置において、  
上記係数テーブルは、  
上記第3のクラス情報毎に予め学習によって求めた係数を、上記第3のクラス情報をアドレス情報として記憶したメモリからなることを特徴とした画像信号処理装置。

【請求項9】 所定の圧縮符号化手段によりブロック単位で圧縮符号化された圧縮画像データを復号処理する画像信号処理方法において、  
上記圧縮画像データをブロック単位で復号した復号画像データの各ブロックの特徴量を検出するステップと、  
上記復号画像データをパターン分類して上記復号画像データが属するクラスを検出するステップと、  
上記特徴量を検出するステップによって得た注目ブロックおよび上記注目ブロックに隣接する隣接ブロックの上記特徴量を集めて所定ビットで量子化することにより得られる第1のクラス情報と、上記クラスを検出するステップによって得た第2のクラス情報とに基づいて生成された第3のクラス情報に応じて、予め記憶されている所定の係数を読み出して出力するステップと、  
出力された上記所定の係数と上記復号画像データとを積和演算することにより予測復号画像データを生成するステップとからなることを特徴とする画像信号処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、ブロック符号化方式を用いて高能率符号化した画像信号を復号する画像信号処理装置および方法に関する。

## 【0002】

【従来の技術】 従来、例えばテレビ会議システム等のように画像信号を遠隔地に伝送するいわゆる画像信号伝送システムや、画像信号をデジタル化してビデオテープレコーダやビデオディスクレコーダに記録し再生する装置においては、伝送路や記録媒体を効率的に利用するため、デジタル化した画像信号の相関を利用して有意情報を効率的に符号化することにより伝送情報量や記録情報量を削減し、伝送効率や記録効率を高めるようになされている。

【0003】 このような場合、一般的には、画像信号を高能率圧縮符号化することによりデータ量を大幅に削減するようになされている。この高能率圧縮符号化の手法として、入力された画像信号を複数のブロックに分割し、例えばADRC符号化(Adaptive Dynamic Range Coding)やDCT符号化(Discrete Cosine Transform)等を施すブロック符号化が提案されている。

【0004】 因みに、ADRC符号化は、視覚のダイナミックレンジ依存性を利用したものであり、画素分布のダイナミックレンジの大きい領域では、画素レベルの微

小さな変動は、視認されにくく、反対にダイナミックレンジの小さい領域では、画素レベルの微小な反動も視認されやすいという視覚特性を利用して画像圧縮する符号化方式である。また、DCT符号化は、規定波形として複数のコサイン関数を用いたもので、画像信号をこれら複数の規定波形に分解して表現する符号化方式である。

#### 【0005】

【発明が解決しようとする課題】ところで上述のような手法によって非常に低いレートに圧縮した場合、復元時、ブロック境界付近にブロック歪みが発生して画像劣化が生じることがある。特に、割当ビット数が少なくなるような平坦なブロックでは、その傾向が著しく現れる。このためブロック境界に対して局所的に低域通過フィルタ（いわゆるローパスフィルタ：LPF）をかけることにより、一般的には、このようなブロック歪みを除去して画像劣化を低減するようになされている。

【0006】ところがLPFをかけると、高周波成分を含むエッジやディテール部分をなまらせてしまう不具合が発生し、ブロック歪みの除去方法としては、未だ不十分な点がある。

【0007】従って、この発明の目的は、エッジやディテール部分をなまらせることなく、ブロック歪みを除去し得る画像信号処理装置および方法を提供することにある。

#### 【0008】

【課題を解決するための手段】請求項1に記載の発明は、所定の圧縮符号化手段によりブロック単位で圧縮符号化された圧縮画像データを復号処理する画像信号処理装置において、圧縮画像データをブロック単位で復号した復号画像データの各ブロックの特徴量を検出する特徴量検出手段と、復号画像データをパターン分類して復号画像データが属するクラスを検出するクラス検出手段と、特徴量検出手段によって得た注目ブロックおよび注目ブロックに隣接する隣接ブロックの特徴量を集めて所定ビットで量子化することにより得られる第1のクラス情報と、クラス検出手段によって得た第2のクラス情報とに基づいて生成された第3のクラス情報に応じて、予め記憶されている所定の係数を読み出して出力する係数テーブルと、係数テーブルから出力された所定の係数と復号画像データとを積和演算することにより予測復号画像データを生成する演算手段とからなることを特徴とする画像信号処理装置である。

【0009】また、請求項9に記載の発明は、所定の圧縮符号化手段によりブロック単位で圧縮符号化された圧縮画像データを復号処理する画像信号処理方法において、圧縮画像データをブロック単位で復号した復号画像データの各ブロックの特徴量を検出するステップと、復号画像データをパターン分類して復号画像データが属するクラスを検出するステップと、特徴量を検出するステップによって得た注目ブロックおよび注目ブロックに隣

接する隣接ブロックの特徴量を集めて所定ビットで量子化することにより得られる第1のクラス情報と、クラスを検出するステップによって得た第2のクラス情報とに基づいて生成された第3のクラス情報に応じて、予め記憶されている所定の係数を読み出して出力するステップと、出力された所定の係数と復号画像データとを積和演算することにより予測復号画像データを生成するステップとからなることを特徴とする画像信号処理方法である。

【0010】この発明は、注目ブロックおよびその隣接ブロックの特徴量から得られる第1のクラス情報と、パターン分類により得られる第2のクラス情報と、位置情報とに基づいて新たな第3のクラス情報を生成し、第3のクラス情報に応じて係数を読み出し、復号画像データに積和演算を施して、符号化される前の画像データと略々同じ予測復号画像データを生成するようにしたことにより、エッジやディテール部分を含むブロックとブロック歪みが出やすいブロックとで異なる特徴量の相違に応じた適応的な処理を行うことができ、エッジやディテール部分をなまらせることを未然に回避してブロック境界付近に発生するブロック歪みを適応的に除去することができる。

#### 【0011】

【発明の実施の形態】以下、この発明の実施例を図面を参照して説明する。図1は、この発明の第1の実施例を示すブロック図である。1で示す入力端子から供給されるS1は、例えばDCT符号化によって高能率圧縮符号化された伝送画像データに対して、図示しないが同期分離回路およびエラー訂正回路を介して供給された画像データである。この画像データS1は、入力端子1からフレーム分解回路2に入力される。フレーム分解回路2は、画像データS1から水平同期信号S2および垂直同期信号S3を抽出して制御回路3に出力すると共に、画像データS1を後段のブロック復号回路4へ供給する。

【0012】ブロック復号回路4は、圧縮符号化された画像データS1をブロック単位で復元するものであり、可変長符号化に対する復号を施した後、逆量子化して係数を算出し、逆DCT変換して元のレベルデータを復元する。このようにして復元されたブロック単位の復号画像データS4は、ブロック遅延回路5および平均値算出回路6へ供給される。

【0013】平均値算出回路6は、復号画像データS4から各ブロック内の全画素の輝度レベルを標本化して平均値データS5を算出し、得られた平均値データS5を平均値メモリ7に供給する。これにより平均値メモリ7には、各ブロック毎の平均値データS5が順次蓄えられる。一方、ブロック遅延回路5は、時間的な調整を行うための回路であり、上述のような平均値データS5を算出するまでにかかる時間分だけ復号画像データS4を遅延し、その遅延した復号画像データS4を遅延回路8お

およびクラス生成回路9に供給する。

【0014】遅延回路8は、供給された復号画像データS4をブロック分解して蓄積する。また、遅延回路8は、蓄積した復号画像データS4を読み出す際に、後述するクラス生成回路9、平均値メモリ7および制御回路3の処理時間分だけ遅延処理する。遅延回路8は、こうして遅延処理した復号画像データS4を予測タップ生成回路10に読み出して供給する。

【0015】予測タップ生成回路10は、復号画像データS4の各ブロック毎に、注目画素を中心としてその周辺画素を集めることによって積和演算に要する予測タップを形成する。また、予測タップ生成回路10は、復号画像データS4を後段の積和演算回路13の演算形態に合った信号フォーマットに変換して、積和演算回路13に供給する。例えば、積和演算回路13が1次元で演算処理する場合には、供給する復号画像データS4を1次元の時系列データに変換して供給し、積和演算回路13が2次元で演算処理する場合には、供給する復号画像データS4を所望のライン数の並列時系列データに変換して供給する。

【0016】このような予測タップ生成回路10から積和演算回路13への復号画像データS4の供給動作に同期して、平均値メモリ7に蓄えられた平均値データS5が係数メモリ12に読み出される。ここで、平均値メモリ7からは、図2に示すように、注目ブロックだけでなく、注目ブロックに隣接するブロックの平均値データも読み出される。平均値メモリ7は、読み出した平均値データS5をそれぞれnビットにシフトダウンしてビット数を減らしたもの第1のクラスコードS6として係数メモリ12に供給する。

【0017】また、制御回路3は、水平同期信号S2および垂直同期信号S3に基づいて注目画素のブロック内での相対的な位置を示す位置情報を求める。例えば、図3の示すように、(8×8)画素であるブロックの場合、縦横それぞれ3ビットずつの合計6ビットでブロック内の相対的な位置を表す。このようにして表された位置情報S7は、係数メモリ12に供給される。なお、制御回路3から平均値メモリ7に供給されている信号S9は、書き込み動作および読み出し動作時に使用するアドレス信号やイネーブル信号等の制御信号である。

【0018】また、クラス生成回路9は、各ブロック毎に注目画素を中心タップとする空間クラスタップを設定し、この空間クラスタップ内の復号値を、例えばADR C符号化することにより、空間パターン分類によるクラス検出を行い(すなわち、注目画素が属するクラスを検出し)、その結果得られる第2のクラスコードS8をクラスコードメモリ(Class code Memory : CM)11に供給する。これにより、クラスコードメモリ11には、各ブロック毎の第2のクラスコードS8が順次蓄えられる。クラスコードメモリ11は、平均値メモリ7と同様

に、予測タップ生成回路10から積和演算回路13への復号画像データS4の供給動作に同期して、第2のクラスコードS8を読み出して係数メモリ12に供給する。

【0019】係数メモリ12は、メモリからなり、積和演算回路13での積和演算に使用されるクラス毎の係数組が予め学習により記録されている。係数メモリ12は、第1のクラスコードS6、第2のクラスコードS8および位置情報S7を合わせることにより得られる第3のクラスコードをアドレス情報として、そのクラス毎の係数組を読み出して積和演算回路13に供給する。

【0020】積和演算回路13は、予測タップ生成回路10から供給された復号画像データS4と係数メモリ12から供給された係数組とを積和演算処理することにより復号画像データS4に対してクラス毎に符号化される前の画像データと略々同じ予測復号画像データを生成し、(いわゆるクラス毎の適応予測処理を行い)、その結果ブロック歪みが低減された予測復号画像データを獲得し、この予測復号画像データS10を出力端子14から出力する。

【0021】ここで、係数メモリ12に記憶されている係数テーブルは、以下に説明するような学習により求められる。まず、既に知られている第1の画像データと、その第1の画像データに対してDCT符号化および復号化を施した第2の画像データを用意する。また、ADR C符号化によって得たクラスコードに平均値データおよび位置情報を付加した新たなクラスコードを生成する。そして、その求めたクラスコード毎に、第1および第2の画像データに対して最小自乗法を適用した学習方法を施して、最適な係数組を求める。この求められた係数組をクラス毎にメモリに記憶することにより係数テーブルが形成される。

【0022】すなわち、係数テーブルを形成する際には、図4に示すような係数作成回路20が用いられる。まず、係数作成回路20に対しては、教師信号としての画像データS20が入力される。この画像データS20は、学習処理のため係数選定回路21に入力されると共に、符号化復号化処理のためにブロック符号化回路22に入力される。また、画像データS20のうち垂直同期信号や水平同期信号等の位置情報S21も、位置情報によるクラス分類を行うために係数選定回路21に入力される。

【0023】ブロック符号化回路22は、画像データS20にブロック単位で、例えばDCT符号化を施し、その結果得られる。係数データを量子化し、量子化出力を可変長符号化するものであるブロック符号化回路22からの圧縮符号化された画像データS22をブロック復号回路23に供給する。ブロック復号回路23は、ブロック符号化回路4と同様に圧縮符号化された画像データS22をブロック単位で復号し、復号された画像データS23を係数選定回路21に供給すると共に、平均値算出

回路24およびクラス生成回路25に供給する。

【0024】平均値算出回路24は、画像データS23を基に各ブロック内の全画素を平均化して得られる平均値データS24を算出する。この平均値データS24は、クラス分類の一要素として係数選定回路21に供給される。また、クラス生成回路25は、画像データS23に、例えばADRC符号化を施すことによりクラスコードS25を生成する。このクラスコードS25も、平均値データS24と同様に、クラス分類の一要素として係数選定回路21に供給される。

【0025】係数選定回路21は、供給されたクラスコードS25に平均値データS24および位置情報S21の要素を付加して新たなクラスコードを作成し、そのクラス毎に画像データS20およびS23の相関関係を線形1次結合式で表し、この線形1次結合式による画像データS20およびS23の誤差の自乗が最小となる係数組を学習により求める。そして、求めた係数組をクラスコードと共に係数テーブルを形成する係数メモリ12へ供給する。これにより、最適に適応予測処理し得る係数テーブルが作成される。

【0026】具体的に、上述の構成において、動作を説明すると、DCT符号化によって高能率圧縮符号化された伝送画像データをブロック復号回路4によってブロック単位で復号する。そして、平均値算出回路6によって、各ブロック毎の平均値データS5を求め、この平均値データS5が平均値メモリ7に蓄積される。平均値メモリ7は、注目ブロックおよびその隣接ブロックの平均値データが読み出される。こうして読み出される注目ブロックおよびその隣接ブロックの平均値データS5は、それぞれnビットで量子化されて第1のクラスコードS6として係数メモリ12に供給される。

【0027】また、復元されたブロック単位の復号画像データS4をクラス生成回路9に供給し、ここで、例えばADRC符号化による第2のクラスコードS8を生成して、この第2のクラスコードS8を係数メモリ12に供給する。さらに、制御回路3では、水平同期信号S2および垂直同期信号S3を基にして注目画素のブロック内での相対的位置を示す位置情報S7を求め、この位置情報S7を係数メモリ12に供給する。

【0028】係数メモリ12は、供給された第1のクラスコードS6、第2のクラスコードS8および位置情報S7を合わせたものを第3のクラスコードとし、この第3のクラスコードをアドレス情報として予めクラス毎に記憶されている係数組を読み出す。すなわち、クラス分類処理によって得られた第2のクラスコードS8に、注目ブロックおよびその隣接ブロックの平均値データS5が集められて各々nビットで量子化されて得られる第1のクラスコードS6と注目画素のブロック内での相対的位置を示す位置情報S7とを付加したものを新たな第3のクラスコードとして係数組を読み出す。

【0029】積和演算回路13は、遅延回路8および予測タップ生成回路10を介して供給される画像データと係数メモリ12から供給される係数組とを線形1次結合式の演算処理することにより画像データに対してクラス毎に符号化される前の原画像データと略々同じ予測復号画像データが生成される。その際、係数メモリ12から供給される係数組は、ブロック歪みが出やすい、あるいはエッジやディテール部分を含みやすい等といった特徴を表す注目ブロックおよびその隣接ブロックの平均値データS5が集められて各々nビットで量子化されて得られる第1のクラスコードS6や、注目画素がブロック内のどの位置に当たるかといったことを表す位置情報S7を考慮して作成された係数組であるため、エッジやディテール部分をなまらせることなく、ブロック境界付近に発生するブロック歪みを適応的に除去することができる。

【0030】このようにして、画像信号処理装置では、ブロック毎に平均値データS5を検出して、注目ブロックおよびその隣接ブロックの平均値データS5が集められて各々nビットで量子化されてなる第1のクラスコードS6を求めると共に、ブロック内の画素の相対的な位置情報S7を検出する。そして、復元したブロック毎の復号画像データS4をパターン分類して得られる第2のクラスコードS8に第1のクラスコードS6および位置情報S7を付加して新たなクラス分類を行い、そのクラス毎に画像データを符号化される前の原画像データと略々同じ予測復号画像データを生成する。これにより、エッジやディテール部分をなまらせることなく、ブロック歪みを適応的に除去することができる。

【0031】なお、この第1の実施例の場合には、画像信号処理装置の復号側における処理だけで上述したような効果が得られるため、送信側の装置に負担をかけることなく、また伝送フォーマットを変更する必要もないという利点がある。また、第1の実施例の場合には、クラス毎に画像データを符号化される前の原画像データと略々同じ予測復号画像データを生成し、いわゆる適応予測処理を行うことにより、ブロック歪みを適応的に除去し得るだけでなく、解像度も向上し得る。

【0032】以上の構成によれば、復号画像データS4の各ブロックの平均値データS5を検出すると共に、復号画像データS4の各ブロック内の画素について相対的な位置情報S7を検出し、復号画像データS4をパターン分類して得られる第2のクラスコードS8に、平均値データS5から得られる第1のクラスコードS6および位置情報S7を付加して新たなクラス分類を行い、こうして得られた第3のクラスコードをアドレス情報として、そのクラス毎に係数を読み出して画像データを符号化される前の原画像データと略々同じ予測復号画像データを生成することにより、エッジやディテール部分を含むブロックとブロック歪みが出やすいブロックとで異なる

る平均値の相違に応じた適応的な予測復号画像データの生成ができ、エッジやディテール部分をなまらせることを未然に回避してブロック境界付近に発生するブロック歪みを適応的に除去することができる画像信号処理装置を実現することができる。

【0033】次に、この発明の第2の実施例を図5に示す。この図5において、図1との対応部分に同一符号を付して、示す。この図5は、図1に示す平均値算出回路6に換えて最大値検出回路31、最小値検出回路32および演算回路33が設けられており、これらによって中央値データを求めるようになされている。

【0034】すなわち、図5に示すように、高能率圧縮符号化、例えばDCT符号化された画像データS1をフレーム分解回路2およびブロック復号回路4を介して復号処理することにより得られたブロック単位の復号画像データS4は、ブロック遅延回路5に供給されると共に、最大値検出回路31および最小値検出回路32に供給される。最大値検出回路31および最小値検出回路32は、復号画像データS4の各ブロック毎に、例えば輝度レベルの最大値および最小値をそれぞれ検出し、演算回路33に供給する。演算回路33は、最大値および最小値に基づいて中央値を算出し、得られた中央値を中央値データS30として中央値メモリ34に供給する。具体的には、最大値および最小値の平均値を算出して中央値を得ている。中央値メモリ34は、こうして供給される各ブロック毎に中央値データS30を順次蓄える。

【0035】なお、画像データS1がADRC符号化によって圧縮符号化されている場合は、圧縮符号化している画像データS1にパラメータとして最大値または最小値およびダイナミックレンジの情報が含まれているため、これらの値から最大値および最小値を求めることができる。

【0036】一方、ブロック遅延回路5は、中央値データS30を算出するまでにかかる時間分だけ復号画像データS4を遅延し、その遅延した復号画像データS4を遅延回路8およびクラス生成回路9に供給する。予測タップ生成回路10から積和演算回路13への復号画像データS4の供給動作に同期して、中央値メモリ34に蓄えられた中央値データS30が係数メモリ12に読み出される。この際、中央値メモリ34は、注目ブロックおよびその隣接ブロックの中央値データS30を読み出し、読み出した中央値データS30をそのまま、あるいはそれぞれnビットにシフトダウンしてビット数を減らしたものを第1のクラスコードS31として係数メモリ12に供給する。

【0037】ここで、係数メモリ12に記憶されている係数組は、以下に説明するような学習により求められる。まず既に知られている第1の画像データと、その第1の画像データに対して高能率圧縮符号化、例えばDCT符号化および符号化を施した第2の画像データを用意

する。また、ADRC符号化によって得たクラスコードに中央値データおよび位置情報を附加した新たなクラスコードを発生する。そして、その求めたクラスコード毎に、第1および第2の画像データに対して最小自乗法を適用した学習法を施して、最適な係数組を求める。この求められた係数組をクラス毎にメモリに記録することにより係数メモリ12が形成される。

【0038】以上の構成において、画像信号処理装置では、DCT符号化によって高能率圧縮符号化された画像データS1をブロック復号回路4によってブロック単位で復号する。そして、最大値検出回路31、最小値検出回路32および演算回路33によって求められた各ブロック毎の中央値データS30が中央値メモリ34に蓄積され、中央値メモリ34から読み出される際に注目ブロックおよびその隣接ブロックの中央値データS30が読み出される。こうして読み出された各中央値データS30は、それぞれnビットで量子化されて第1のクラスコードS31として係数メモリ12に供給される。また、復元されたブロック単位の復号画像データS4をクラス生成回路9に供給し、ここで、例えばADRC符号化処理を施すことにより第2のクラスコードS8を生成して、この第2のクラスコードS8を係数メモリ12に供給する。さらに、制御回路3では、水平同期信号S2および垂直同期信号S3を基にして注目画素のブロック内での相対的な位置を示す位置情報S7を求め、この位置情報S7を係数メモリ12に供給する。

【0039】係数メモリ12は、供給された第1のクラスコードS31、第2のクラスコードS8および位置情報S7を合わせたものを第3のクラスコードとし、この第3のクラスコードをアドレス情報として予めクラス毎に記憶されている係数組を読み出す。すなわち、クラス分類処理によって得られた第2のクラスコードS8に、注目ブロックおよびその隣接ブロックの中央値データS30を集めて各々nビットで量子化して得られる第1のクラスコードS31と注目画素のブロック内での相対的な位置を示す位置情報S7とを附加したものを新たな第3のクラスコードとして係数組を読み出す。

【0040】積和演算回路13は、遅延回路8および予測タップ生成回路10を介して供給される画像データと係数メモリ12から供給される係数組とを積和演算処理することにより画像データに対してクラス毎に符号化される前の原画像データと略々同じ予測復号画像データを生成する。その際、係数メモリ12から供給される係数組や、ブロック歪みが出やすい、あるいはエッジやディテール部分を含みやすい等といった特徴を表す注目ブロックおよびその隣接ブロックの中央値データS30が集められて各々nビットで量子化されて得られる第1のクラスコードS31や、注目画素がブロック内のどの位置に当たるかといったことを表す位置情報S7を考慮して作成された係数組であるため、エッジやディテール部分

をなまらせることなく、ブロック境界付近に発生するブロック歪みを適応的に除去することができる。

【0041】このようにして画像信号処理装置では、ブロック毎に検出した最大値および最小値から中央値データS30を算出して、この中央値データS30を注目ブロックおよびその隣接ブロックから集めて各々nビットで量子化して第1のクラスコードS31を求めると共に、ブロック内の画素の相対的な位置情報S7を検出する。そして、復元したブロック毎の復号画像データS4をパターン分類して得られる第2のクラスコードS8に第1のクラスコードS31および位置情報S7を付加して新たなクラス分類を行い、そのクラス毎に符号化される前の原画像データと略々同じ予測復号画像データを生成する。これにより、エッジやディテール部分をなまらせることなくブロック歪みを適応的に除去することができると共に、復号画像データS4の最大値および最小値の2値から第1のクラスコードS31を得られる。

【0042】以上の構成によれば、復号画像データS4の各ブロック毎に検出した最大値および最小値から中央値データS30を算出すると共に、復号画像データS4の各ブロック内の画素について相対的な位置情報S7を検出し、復号画像データS4をパターン分類して得られる第2のクラスコードS8に、中央値データS30から得られる第1のクラスコードS31および位置情報S7を付加して新たなクラス分類を行い、こうして得られた第3のクラスコードをアドレス情報として、そのクラス毎に係数を読み出して画像データを符号化される前の原画像データと略々同じ予測復号画像データを生成するようにしたことにより、各ブロック毎に検出した最大値および最小値の2値から中央値データS30を算出し得ると共に、エッジやディテール部分を含むブロックとブロック歪みが出やすいブロックとで異なる中央値の相違に応じた適応的な処理を行うことができ、複雑な回路構成および算出方法を用いることなく、容易に第1のクラスコードを得ることができ、エッジやディテール部分をなまらせることを未然に回避してブロック境界付近に発生するブロック歪みを適応的に除去することができる。

【0043】次に、この発明の第3の実施例を図6に示す。この図6において、上述の図5と同様に、図1との対応部分に同一符号を付して、示す。この図5は、図1に示す平均値算出回路6に換えて標準偏差算出回路41が設けられており、これによって標準偏差値を求めるようになされている。

【0044】すなわち、図6に示すように、高能率圧縮符号化、例えばDCT符号化された画像データS1をフレーム分解回路2およびブロック復号回路4を介して復号処理することにより得られたブロック単位の復号画像データS4は、ブロック遅延回路5に供給されると共

に、標準偏差算出回路41に供給される。標準偏差算出回路41は、復号画像データS4の各ブロック毎に、例えば輝度レベルの標準偏差値を検出し、標準偏差値メモリ42に供給する。標準偏差値メモリ42は、こうして供給される各ブロック毎に標準偏差値S41を順次蓄える。

【0045】一方、ブロック遅延回路5は、標準偏差値S41を算出するまでにかかる時間分だけ復号画像データS4を遅延し、その遅延した復号画像データS4を遅延回路8およびクラス生成回路9に供給する。遅延回路8は、供給された復号画像データS4をブロック分解して蓄積して、蓄積した復号画像データS4を読み出す前に、クラス生成回路9、標準偏差値メモリ42および制御回路3の処理時間分だけ遅延処理する。遅延回路8は、こうして遅延処理した復号画像データS4を予測タップ生成回路10に読み出して供給する。

【0046】予測タップ生成回路10は、復号画像データS4の各ブロック毎に、注目画素を中心としてその周辺画素を集めることによって積和演算に要する予測タップを形成すると共に、復号画像データS4を積和演算回路13の演算形態に合った信号フォーマットに変換して、積和演算回路13に供給する。

【0047】このような予測タップ生成回路10から積和演算回路13への復号画像データS4の供給動作に同期して、標準偏差値メモリ42に蓄えられた標準編算値S41が係数メモリ12に読み出される。この際、標準偏差値メモリ42は、注目ブロックおよびその隣接ブロックの標準偏差値S41を読み出し、読み出した標準偏差値S41をそのまま、あるいはそれぞれnビットにシフトダウンしてビット数を減らしたものを第2のクラスコードS42として係数メモリ12に供給する。

【0048】標準偏差算出回路41の一例を図7に示す。入力端子51から復号画像データS4が供給される。ブロック単位の復号画像データS4は、輝度度数分布テーブル52へ供給され、輝度度数分布テーブル52において、ブロック単位の輝度レベルの度数分布のテーブルが生成される。生成されたテーブルに基づいて、平均値算出回路53では、式(1)に示すように平均値が算出され、算出された平均値は、標準偏差算出回路54へ供給される。標準偏差算出回路54では、度数分布のテーブルと平均値から標準偏差値が式(2)により算出され、算出された標準偏差値は、出力端子55から取り出される。取り出された標準偏差値が小さいときは、度数分布の幅は狭く、標準偏差値が大きいときは、度数分布の幅は広くなる。また、標準偏差値を自乗することで、分散値を求めることができ、この分散値を用いても同様に使用することができる。

【0049】

$$\text{平均値} = \Sigma (\text{輝度レベル} \times \text{度数}) / \text{全度数} \quad (1)$$

$$\text{標準偏差値} = \sqrt{(\Sigma (\text{輝度レベル} - \text{平均値})^2 \times \text{度数}) / \text{全度数}} \quad (2)$$

ただし、 $\sqrt{(\ )}$  は、( ) 内の演算結果を平方根とする。

【0050】以上の構成において、画像信号処理装置では、高能率圧縮符号化、例えばDCT符号化された画像データS1をブロック復号回路4によってブロック単位で復号する。そして、標準偏差算出回路41によって求められた各ブロック毎の標準偏差値S41が標準偏差値メモリ42に蓄積され、標準偏差値メモリ42から読み出される際に注目ブロックおよびその隣接ブロックの標準偏差値S41が読み出される。こうして読み出された各標準偏差値S41は、それぞれnビットで量子化されて第1のクラスコードS42として係数メモリ12に供給される。また、復元されたブロック単位の復号画像データS4をクラス生成回路9に供給し、ここで、例えばADRC符号化処理を施すことにより第2のクラスコードS8を生成して、この第2のクラスコードS8を係数メモリ12に供給する。さらに、制御回路3では、水平同期信号S2および垂直同期信号S3を基にして注目画素のブロック内での相対的な位置を示す位置情報S7を求め、この位置情報S7を係数メモリ12に供給する。

【0051】係数メモリ12は、供給された第1のクラスコードS42、第2のクラスコードS8および位置情報S7を合わせたものを第3のクラスコードとし、この第3のクラスコードをアドレス情報として予めクラス毎に記憶されている係数組を読み出す。すなわち、クラス分類処理によって得られた第2のクラスコードS8に、注目ブロックおよびその隣接ブロックの標準偏差値S41を集めて各々nビットで量子化して得られる第1のクラスコードS42と注目画素のブロック内での相対的な位置を示す位置情報S7とを附加したものを新たな第3のクラスコードとして係数組を読み出す。

【0052】積和演算回路13は、遅延回路8および予測タップ生成回路10を介して供給される画像データと係数メモリ12から供給される係数組とを積和演算処理することにより画像データに対してクラス毎に復号される前の原画像データと略々同じ予測復号画像データを生成する。その際、係数メモリ12から供給される係数組や、ブロック歪みが出やすい、あるいはエッジやディテール部分を含みやすい等といった特徴を表す注目ブロックおよびその隣接ブロックの標準偏差値S41が集められて各々nビットで量子化されて得られる第1のクラスコードS42や、注目画素がブロック内のどの位置に当たるかといったことを表す位置情報S7を考慮して作成された係数組であるため、エッジやディテール部分をなまらせることなく、ブロック境界付近に発生するブロック歪みを適応的に除去することができる。

【0053】このようにして画像信号処理装置では、ブロック毎に検出した標準偏差値S41を注目ブロックおよびその隣接ブロックから集めて各々nビットで量子化して第1のクラスコードS42を求めると共に、ブロッ

ク内の画素の相対的な位置情報S7を検出する。そして、復元したブロック毎の復号画像データS4をパターン分類して得られる第2のクラスコードS8に第1のクラスコードS42および位置情報S7を付加して新たなクラス分類を行い、そのクラス毎に符号化される前の原画像データと略々同じ予測復号画像データを生成する。これにより、エッジやディテール部分をなまらせることなくブロック歪みを適応的に除去することができると共に、復号画像データS4の標準偏差値から第1のクラスコードS42を得られる。

【0054】以上の構成によれば、復号画像データS4の各ブロック毎に検出した標準偏差値S41と共に、復号画像データS4の各ブロック内の画素について相対的な位置情報S7を検出し、復号画像データS4をパターン分類して得られる第2のクラスコードS8に、標準偏差値S41から得られる第1のクラスコードS42および位置情報S7を付加して新たなクラス分類を行い、こうして得られた第3のクラスコードをアドレス情報として、そのクラス毎に係数を読み出して画像データを符号化される前の原画像データと略々同じ予測復号画像データを生成するようにしたことにより、各ブロック毎に検出した標準偏差値S41を得ると共に、エッジやディテール部分を含むブロックとブロック歪みが出やすいブロックとで異なる標準偏差値の相違に応じた適応的な処理を行うことができ、複雑な回路構成および算出方法を用いることなく、容易に第1のクラスコードを得ることができ、エッジやディテール部分をなまらせることを未然に回避してブロック境界付近に発生するブロック歪みを適応的に除去することができる。

【0055】なお、上述の実施例において、画像データS1がDCT符号化によって圧縮符号化された場合について述べたが、この発明は、これに限らず、画像データがADRC符号化、DPCM (Differential Pulse Code Modulation) 符号化、BTC (Block Truncation Coding) 符号化等、その他の圧縮符号化によって符号化された場合にも、上述の場合と同様の効果を得ることができる。

【0056】また、上述の実施例において、係数メモリ12と積和演算回路13とが別々の回路構成である場合について述べたが、この発明は、これに限らず、係数メモリ12と積和演算回路13とをまとめてブロック歪み除去回路として構成するようにしても良い。

【0057】さらに、上述の実施例において、クラス生成回路9によってブロック毎の復号画像データS4をADRC符号化してクラス検出を行い、これにより第2のクラスコードS8が得られる場合について述べたが、この発明は、これに限らず、例えばADRC符号化で圧縮符号化されている符号化画像信号の場合は、クラス生成回路で符号化画像信号に含まれる再量子化コードをそのまま抽出して所定タップ数を集めることで第2のクラス

コードとしても良い。

【0058】また、上述の実施例において、圧縮符号化されて伝送されてきた画像データS1を復号する画像信号処理装置に、この発明を適用した場合について述べたが、この発明は、これに限らず、例えば圧縮符号化されて記録された画像データを復号して再生する画像信号処理装置に適用した場合にも上述の場合と同様の効果を得ることができる。要は、圧縮符号化された画像データを復号する画像信号復号装置であれば広く適用し得る。

【0059】さらに、上述の実施例において、画像信号処理装置の再生側または受信側にのみ、この発明を適用することで上述のような効果が得られるため、送信側の装置に負担をかけることなく、また伝送フォーマットを変更する必要もないという利点がある。また、この実施例の場合にも、クラス毎に画像データを修整する、いわゆる適応予測処理を行うことにより、ブロック歪みを適応的に除去し得るだけでなく、解像度も向上し得る。

#### 【0060】

【発明の効果】この発明に依れば、注目ブロックおよびその隣接ブロックの各平均値から得られる第1のクラス情報と、位置情報と、パターン分類により得られる第2のクラス情報に基づいて新たな第3のクラス情報を生成し、第3のクラス情報に応じて係数を読み出し、復号された画像データに積和演算を施して符号化される前の原画像データと略々同じ予測復号画像データを生成するようにしたことにより、エッジやディテール部分をなまらせることなく、ブロック境界付近に発生するブロック歪みを適応的に除去し得ることができる。

【0061】また、復号された画像データの各ブロック内の輝度レベルの最大値および最小値を検出し、検出した値から中央値を算出して、注目ブロックおよびその隣接ブロックの各中央値から第1のクラス情報を得るようにしたことにより、複雑な回路構成および算出方法を要することなく第1のクラス情報を得ることができると共に、エッジやディテール部分を含むブロックとブロック歪みが出やすいブロックとで異なる中央値の相違に応じた適応的な処理を行うことができ、エッジやディテール部分をなまらせることを未然に回避してブロック境界付近に発生するブロック歪みを適応的に除去することができます。

きる。

【0062】さらに、復号された画像データの各ブロック内の輝度レベルの標準偏差値（あるいは分散値）を算出して、注目ブロックおよびその隣接ブロックの各標準偏差値から第1のクラス情報を得ることができると共に、エッジやディテール部分を含むブロックとブロック歪みが出やすいブロックとで異なる標準偏差値の相違に応じた適応的な処理を行うことができ、エッジやディテール部分をなまらせることを未然に回避してブロック境界付近に発生するブロック歪みを適応的に除去することができます。

【0063】しかも、この発明に依れば、再生または受信装置側にのみ処理を行うことで上述のような効果を得ることができるため、記録または伝送側に負担をかけることがなく、フォーマットを変更する必要もないという利点がある。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例による画像信号処理装置の構成を示したブロック図である。

【図2】この発明に係るクラスコードを生成するために平均値データを抽出する注目ブロックおよび隣接ブロックの配置を説明するための略線図である。

【図3】この発明に係る注目画素のブロック内での相対的位置情報を説明するための略線図である。

【図4】この発明に適用される係数を学習するための構成を示すブロック図である。

【図5】この発明の第2の実施例による画像信号処理装置の構成を示したブロック図である。

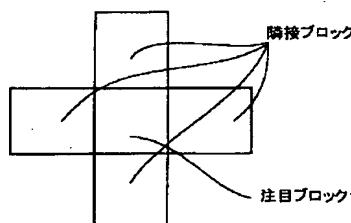
【図6】この発明の第3の実施例による画像信号処理装置の構成を示したブロック図である。

【図7】この発明の第3の実施例に適用される標準偏差算出回路の構成を示したブロック図である。

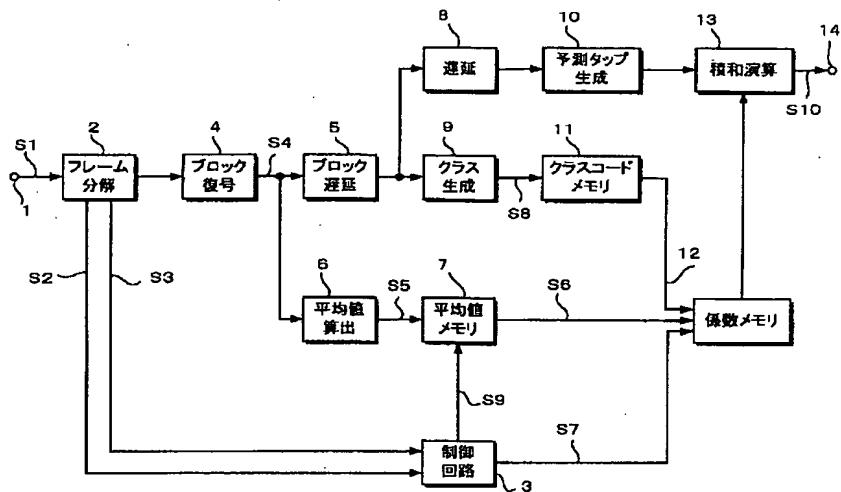
#### 【符号の説明】

2・・・フレーム分解回路、3・・・制御回路、4・・・ブロック復号回路、5・・・ブロック遅延回路、6・・・平均値算出回路、7・・・平均値メモリ、8・・・遅延回路、9・・・クラス生成回路、10・・・予測タップ生成回路、11・・・クラスコードメモリ、12・・・係数メモリ、13・・・積和演算回路

【図2】

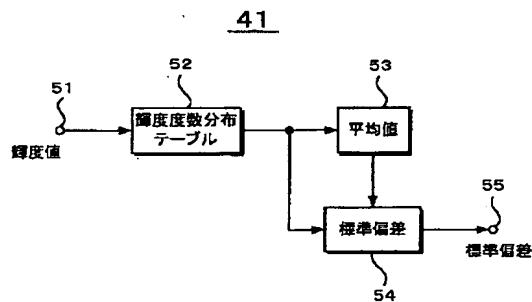


[図 1]

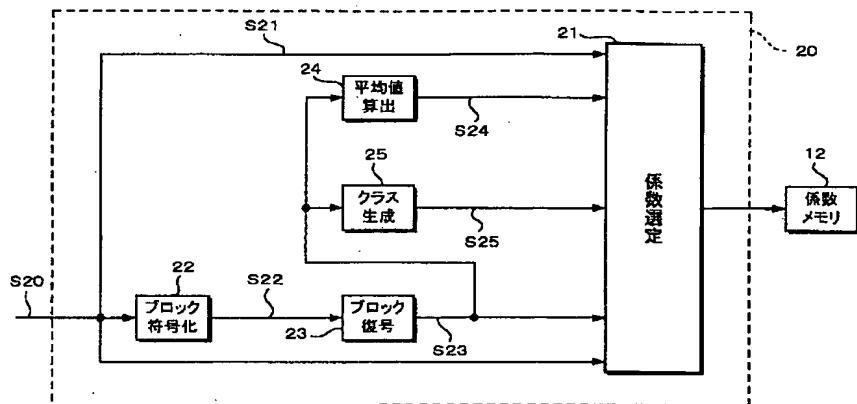


(☒ 3)

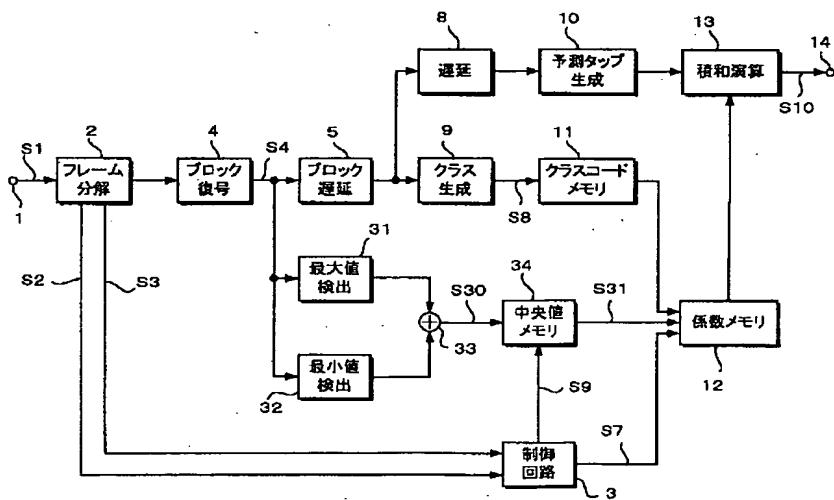
【四】



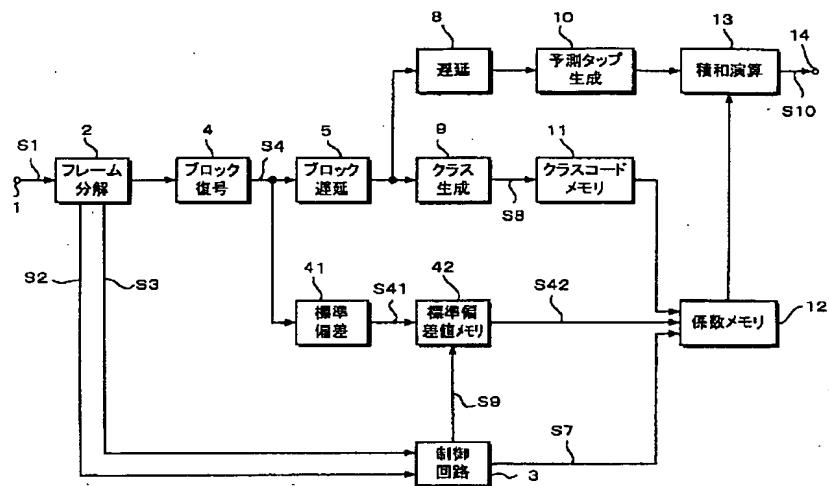
【図4】



【図5】



【図6】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-331526

(43)Date of publication of application : 22.12.1997

---

(51)Int.Cl. H04N 7/24

H03M 7/36

H04N 1/41

---

(21)Application number : 08-217771 (71)Applicant : SONY CORP

(22)Date of filing : 31.07.1996 (72)Inventor : NAKAYA HIDEO

KONDO TETSUJIRO

---

(30)Priority

Priority number : 08114281 Priority date : 11.04.1996 Priority country : JP

---

## (54) IMAGE SIGNAL PROCESSOR AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate block distortion without unsharpening an edge and a detailed part.

SOLUTION: A block decoding circuit 4 outputs decoded image data S4 in the unit of blocks from compression coded image data S1. A mean value calculation circuit 6 calculates mean value data S5 from decoded image data S4 and mean value data of a notice block and an adjacent block are fed to a coefficient memory 12 as a 1st class code S6. A class generating circuit 9 generates a 2nd

class code S8 from the decoded image data S4 and gives the code S8 to the coefficient memory 12. A coefficient set in response to a 3rd class code obtained from position information S7 from the control circuit 3 and the 1st and 2nd class codes is read from the coefficient memory 12. A product sum arithmetic circuit 13 applies linear coupling to the decoded image data S4 to generate predicted decoding image data S10.

---

#### LEGAL STATUS

[Date of request for examination] 29.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3760517

[Date of registration] 20.01.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

#### CLAIMS

---

[Claim(s)]

[Claim 1] In the picture signal processor which carries out decode processing of the compression image data by which compression coding was carried out per block with the predetermined compression coding means A characteristic quantity detection means to detect the characteristic quantity of each block of the decode image data which decoded the above-mentioned compression image data per block, A class detection means to detect the class to which the pattern classification of the above-mentioned decode image data is carried out, and the above-mentioned decode image data belongs, The 1st class information obtained by collecting the above-mentioned characteristic quantity of the contiguity block which adjoins the attention block and the above-mentioned attention block which were acquired with the above-mentioned characteristic quantity detection means, and quantizing in a predetermined bit, The multiplier table which reads and outputs the predetermined multiplier memorized beforehand according to the 3rd class information generated based on the 2nd class information obtained with the above-mentioned class detection means, The picture signal processor characterized by consisting of an operation means to generate prediction decode image data by carrying out the sum-of-products operation of the multiplier and the above-mentioned decode image data predetermined [ above-mentioned ] which were outputted from the above-mentioned multiplier table.

[Claim 2] It is the picture signal processor characterized by the above-mentioned characteristic quantity being the average of each block of the above-mentioned decode image data in a picture signal processor according to claim 1.

[Claim 3] It is the picture signal processor characterized by being the median which computed the above-mentioned characteristic quantity in the picture signal processor according to claim 1 from the maximum and the minimum value within each block of the above-mentioned decode image data.

[Claim 4] It is the picture signal processor characterized by the above-mentioned characteristic quantity being the standard deviation of each block of the above-

mentioned decode image data in a picture signal processor according to claim 1. [Claim 5] It is the picture signal processor characterized by the above-mentioned characteristic quantity being the variance of each block of the above-mentioned decode image data in a picture signal processor according to claim 1.

[Claim 6] The picture signal processor characterized by having a positional information detection means to detect relative positional information about the pixel within each block of the above-mentioned decode image data further, in a picture signal processor according to claim 1.

[Claim 7] It is the image information processor characterized by generating the class information on the above 3rd in a picture signal processor according to claim 6 based on the above 1st and the 2nd class information, and the above-mentioned positional information.

[Claim 8] It is the picture signal processor characterized by consisting the multiplier which asked for the above-mentioned multiplier table by study beforehand for every class information on the above 3rd in the picture signal processor according to claim 1 of memory which memorized the class information on the above 3rd as address information.

[Claim 9] In the picture signal art which carries out decode processing of the compression image data by which compression coding was carried out per block with the predetermined compression coding means The step which detects the characteristic quantity of each block of the decode image data which decoded the above-mentioned compression image data per block, The step which detects the class to which the pattern classification of the above-mentioned decode image data is carried out, and the above-mentioned decode image data belongs, The 1st class information obtained by collecting the above-mentioned characteristic quantity of the contiguity block which adjoins the attention block and the above-mentioned attention block which were acquired by the step which detects the above-mentioned characteristic quantity, and quantizing in a predetermined bit, according to the 3rd class information generated based on the 2nd class information obtained by the step which detects the above-mentioned

class with the step which carries out reading appearance of the predetermined multiplier memorized beforehand, and outputs it. The picture signal art characterized by consisting of a step which generates prediction decode image data by carrying out the sum-of-products operation of the multiplier and the above-mentioned decode image data predetermined [ above-mentioned ] which were outputted.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the picture signal processor and approach of decoding the picture signal which carried out high efficiency coding using the block coding method.

#### [0002]

[Description of the Prior Art] By encoding significant information efficiently using correlation of the so-called picture signal transmission system which transmits a picture signal to a remote place like before, for example, a video conference system, and the picture signal which digitized the picture signal, and digitized in the equipment which records on a video tape recorder or a video disc recorder, and is reproduced in order to use a transmission line and a record medium efficiently, transmission amount of information and the amount of recording information are reduced, and it is made as [ raise / transmission efficiency or recording efficiency ].

[0003] In such a case, it is made as [ reduce / the amount of data / by carrying out high efficiency compression coding of the picture signal / generally / substantially ]. Block coding which divides the inputted picture signal into two or more blocks as the technique of this high efficiency compression coding, for

example, performs ADRC coding (Adaptive Dynamic Range Coding), DCT coding (Discrete Cosine Transform), etc. is proposed.

[0004] It is the coding method which incidentally carries out picture compression using the vision property that ADRC coding uses a visual dynamic range dependency, minute fluctuation of pixel level is hard to be checked by looking in the large field of the dynamic range of pixel distribution, and minute counteraction of pixel level is also easy to be checked by looking reversely in the small field of a dynamic range. Moreover, DCT coding is a thing using two or more cosine functions as a convention wave, and is a coding method which decomposes into the convention wave of these plurality and expresses a picture signal.

[0005]

[Problem(s) to be Solved by the Invention] By the way, when it compresses into a very low rate by the above technique, at the time of restoration, block distortion may occur near a block boundary and image degradation may arise. In a flat block whose allocation number of bits decreases especially, the inclination appears remarkably. For this reason, by covering a low pass filter (the so-called low pass filter: LPF) locally to a block boundary, it is made as [ reduce / remove such block distortion and / generally, / image degradation ].

[0006] However, when LPF is applied, the nonconformity which dulls the edge containing a high frequency component and a detail part occurs, and there is a still inadequate point as the clearance approach of block distortion.

[0007] Therefore, the object of this invention is to offer the picture signal processor and approach of removing block distortion, without dulling an edge and a detail part.

[0008]

[Means for Solving the Problem] In the picture signal processor which carries out decode processing of the compression image data by which compression coding of the invention according to claim 1 was carried out per block with the predetermined compression coding means A characteristic quantity detection means to detect the characteristic quantity of each block of the decode image

data which decoded compression image data per block, A class detection means to detect the class to which the pattern classification of the decode image data is carried out, and decode image data belongs, The 1st class information obtained by collecting the characteristic quantity of the contiguity block which adjoins the attention block and attention block which were acquired with the characteristic quantity detection means, and quantizing in a predetermined bit, The multiplier table which reads and outputs the predetermined multiplier memorized beforehand according to the 3rd class information generated based on the 2nd class information obtained with the class detection means, It is the picture signal processor characterized by consisting of an operation means to generate prediction decode image data by carrying out the sum-of-products operation of the predetermined multiplier and predetermined decode image data which were outputted from the multiplier table.

[0009] Moreover, invention according to claim 9 sets the compression image data by which compression coding was carried out per block with the predetermined compression coding means to the picture signal art which carries out decode processing. The step which detects the characteristic quantity of each block of the decode image data which decoded compression image data per block, The step which detects the class to which the pattern classification of the decode image data is carried out, and decode image data belongs, The 1st class information obtained by collecting the characteristic quantity of the contiguity block which adjoins the attention block and attention block which were acquired by the step which detects characteristic quantity, and quantizing in a predetermined bit, according to the 3rd class information generated based on the 2nd class information obtained by the step which detects a class with the step which carries out reading appearance of the predetermined multiplier memorized beforehand, and outputs it It is the picture signal art characterized by consisting of a step which generates prediction decode image data by carrying out the sum-of-products operation of the predetermined multiplier and predetermined decode image data which were outputted.

[0010] The 1st class information that this invention is obtained from an attention block and the characteristic quantity of that contiguity block, Based on the 2nd class information obtained according to a pattern classification, and positional information, generate the 3rd new class information, read a multiplier according to the 3rd class information, and a sum-of-products operation is performed to decode image data. the image data before encoding, and \*\*\*\* -- by having generated the same prediction decode image data Accommodative processing according to a difference of the characteristic quantity in which the block containing an edge or a detail part differs from the block out of which block distortion tends to come can be performed. Block distortion which avoids dulling an edge and a detail part beforehand and is generated near a block boundary is removable accommodative.

[0011]

[Embodiment of the Invention] Hereafter, the example of this invention is explained with reference to a drawing. Drawing 1 is the block diagram showing the 1st example of this invention. Although for example, DCT coding does not illustrate S1 supplied from the input terminal shown by 1 to the transmission image data by which high efficiency compression coding was carried out, it is the image data supplied through the synchronizing separator circuit and the error correction circuit. This image data S1 is inputted into the frame decomposition circuit 2 from an input terminal 1. The frame decomposition circuit 2 supplies image data S1 to the latter block decoder circuit 4 while it extracts Horizontal Synchronizing signal S2 and Vertical Synchronizing signal S3 from image data S1 and outputs them to a control circuit 3.

[0012] After the block decoder circuit 4 restores the image data S1 by which compression coding was carried out per block and gives the decode to variable length coding, it carries out reverse quantization, computes a multiplier, carries out reverse DCT conversion, and restores the original level data. Thus, decode image data S4 of the restored block unit is supplied to the block delay circuit 5 and the averaging circuit 6.

[0013] The average-value calculation circuit 6 computes the average-value data S5 by sampling the intensity level of all the pixels within each block from decode image data S4, and supplies the obtained average-value data S5 to the average-value memory 7. Thereby, the average-value data S5 for every block are stored in the average-value memory 7 one by one. On the other hand, the block delay circuit 5 is a circuit for performing time adjustment, is delayed in decode image data S4 by the time amount which will start before computing the above average-value data S5, and supplies the delayed decode image data S4 to a delay circuit 8 and the class generation circuit 9.

[0014] A delay circuit 8 carries out block decomposition, and accumulates supplied decode image data S4. Moreover, in case a delay circuit 8 reads accumulated decode image data S4, it carries out delay processing by the processing time of the class generation circuit 9 mentioned later, the average memory 7, and a control circuit 3. A delay circuit 8 reads and supplies decode image data S4 which carried out delay processing in this way to the prediction tap generation circuit 10.

[0015] The prediction tap generation circuit 10 forms the prediction tap which a sum-of-products operation takes by collecting the circumference pixels focusing on an attention pixel for every block of decode image data S4. Moreover, the prediction tap generation circuit 10 changes decode image data S4 into the signal format suitable for the operation gestalt of the latter sum-of-products arithmetic circuit 13, and supplies it to the sum-of-products arithmetic circuit 13. For example, when decode image data S4 supplied when the sum-of-products arithmetic circuit 13 carries out data processing by one dimension is changed and supplied to 1-dimensional time series data and the sum-of-products arithmetic circuit 13 carries out data processing by two-dimensional, decode image data S4 to supply is changed and supplied to the juxtaposition time series data of the desired number of lines.

[0016] Synchronizing with supply actuation of decode image data S4 from such a prediction tap generation circuit 10 to the sum-of-products arithmetic circuit 13,

reading appearance of the average-value data S5 stored in the average-value memory 7 is carried out to a coefficient memory 12. Here, from the average-value memory 7, as shown in drawing 2, reading appearance not only of an attention block but the average-value data of the block which adjoins an attention block is carried out. The average-value memory 7 supplies what carried out the down shift of the read average-value data S5 to n bits, respectively, and reduced the number of bits to a coefficient memory 12 as 1st class code S6.

[0017] Moreover, a control circuit 3 searches for the positional information which shows the relative location within the block of an attention pixel based on Horizontal Synchronizing signal S2 and Vertical Synchronizing signal S3. for example, in every direction in the block which becomes by the pixel (8x8) so that drawing 3 may show -- the relative location within a block of every a triplet is expressed with a total of 6 bits, respectively. Thus, the expressed positional information S7 is supplied to a coefficient memory 12. In addition, signal S9 currently supplied to the average memory 7 from the control circuit 3 is control signals used at the time of write-in actuation and read-out actuation, such as an address signal and an enable signal.

[0018] moreover, the class generation circuit 9 sets up the space class tap which uses an attention pixel as a main tap for every block, and class detection by space pattern classification performs (namely, the class to which an attention pixel belongs -- detecting), and it supplies the 2nd class code S8 obtained as a result to the class code memory (Class code Memory:CM) 11 by carrying out ADRC coding for the decode value in this space class tap. Thereby, the 2nd class code S8 for every block is stored in the class code memory 11 one by one. Like the average-value memory 7, synchronizing with supply actuation of decode image data S4 from the prediction tap generation circuit 10 to the sum-of-products arithmetic circuit 13, the class code memory 11 reads the 2nd class code S8, and supplies it to a coefficient memory 12.

[0019] A coefficient memory 12 consists of memory and the multiplier group for every class used for the sum-of-products operation in the sum-of-products

arithmetic circuit 13 is beforehand recorded by study. A coefficient memory 12 reads the multiplier group for every class of the by making into address information the 3rd class code obtained by doubling the 1st class code S6, the 2nd class code S8, and positional information S7, and supplies it to the sum-of-products arithmetic circuit 13.

[0020] The same prediction decode image data is generated. the image data when the sum-of-products arithmetic circuit 13 carries out sum-of-products data processing of decode image data S4 supplied from the prediction tap generation circuit 10, and the multiplier group supplied from the coefficient memory 12, before encoding for every class to decode image data S4, and \*\*\*\* -- ( -- the prediction decode image data by which block distortion was reduced in the adaptive-prediction processing for every so-called class as a result of [ its ] deed) is gained, and this prediction decode image data S10 is outputted from an output terminal 14.

[0021] Here, the multiplier table memorized by the coefficient memory 12 is called for by study which is explained below. First, the 1st image data already known and the 2nd image data which performed DCT coding and a decryption to the 1st image data are prepared. Moreover, the new class code which added average-value data and positional information to the class code obtained by ADRC coding is generated. And the study approach which applied the least square method to the 1st and 2nd image data is given for every class code of the for which it asked, and it asks for the optimal multiplier group. A multiplier table is formed by memorizing this called-for multiplier group in memory for every class.

[0022] That is, in case a multiplier table is formed, the multiplier creation circuit 20 as shown in drawing 4 is used. First, to the multiplier creation circuit 20, the image data S20 as an educator signal is inputted. This image data S20 is inputted into the block coding network 22 for coding decryption processing while it is inputted into the multiplier selection circuit 21 for study processing. Moreover, among image data S20, the positional information S21, such as a Vertical Synchronizing signal and a Horizontal Synchronizing signal, is also inputted into

the multiplier selection circuit 21, in order to perform the class classification by positional information.

[0023] The block coding network 22 is a block unit, for example, performs DCT coding to image data S20, and, as a result, is obtained. Multiplier data are quantized and the image data S22 by which compression coding was carried out from the block coding network 22 which is what carries out variable length coding of the quantization output is supplied to the block decoder circuit 23. The block decoder circuit 23 is supplied to the averaging circuit 24 and the class generation circuit 25 while it decodes the image data S22 by which compression coding was carried out like the block coding network 4 per block and supplies the decoded image data S23 to the multiplier selection circuit 21.

[0024] The average-value calculation circuit 24 computes the average-value data S24 which equalize all the pixels within each block and are obtained based on image data S23. This average-value data S24 is supplied to the multiplier selection circuit 21 as an element of a class classification. Moreover, the class generation circuit 25 generates the class code S25 by performing for example, ADRC coding to image data S23. This class code S25 as well as the average-value data S24 is supplied to the multiplier selection circuit 21 as an element of a class classification.

[0025] The multiplier selection circuit 21 adds the average-value data S24 and the element of positional information S21 to the supplied class code S25, creates a new class code, expresses the correlation of image data S20 and S23 with a primary linearity joint type for every class of that, and asks for the multiplier group from which the square of the error of the image data S20 and S23 based on a this primary linearity joint type serves as min by study. And the multiplier group for which it asked is supplied to the coefficient memory 12 which forms a multiplier table with a class code. The multiplier table which can carry out adaptive-prediction processing the optimal by this is created.

[0026] Concretely, if actuation is explained in an above-mentioned configuration, the transmission image data in which high efficiency compression coding was

carried out by DCT coding will be decoded per block by the block decoder circuit 4. And it asks for the average-value data S5 for every block, and this average-value data S5 is stored in the average-value memory 7 by the average-value calculation circuit 6. As for the average-value memory 7, reading appearance of an attention block and the average-value data of the contiguity block is carried out. In this way, it quantizes by n bits, respectively and the attention block by which reading appearance is carried out, and the average-value data S5 of the contiguity block are supplied to a coefficient memory 12 as 1st class code S6. [0027] Moreover, decode image data S4 of the restored block unit is supplied to the class generation circuit 9, the 2nd class code S8 by ADRC coding is generated, and this 2nd class code S8 is supplied to a coefficient memory 12 here. Furthermore, in a control circuit 3, the positional information S7 which shows the relative location within the block of an attention pixel based on Horizontal Synchronizing signal S2 and Vertical Synchronizing signal S3 is searched for, and this positional information S7 is supplied to a coefficient memory 12.

[0028] A coefficient memory 12 reads the multiplier group which uses as the 3rd class code what doubled the 1st class code S6, the 2nd class code S8, and positional information S7 which were supplied, and is beforehand memorized for every class by making this 3rd class code into address information. That is, a multiplier group is read for what added the positional information S7 which shows the relative location within the 1st class code S6 which an attention block and the average-value data S5 of the contiguity block are brought together in the 2nd class code S8 obtained by class classification processing, is respectively quantized by n bits, and is obtained, and the block of an attention pixel as 3rd new class code.

[0029] subject-copy image data when a primary linearity joint type carries out data processing of the image data supplied through a delay circuit 8 and the prediction tap generation circuit 10, and the multiplier group supplied from a coefficient memory 12, before the sum-of-products arithmetic circuit 13 is

encoded for every class to image data, and \*\*\*\* -- the same prediction decode image data is generated. The multiplier group supplied from a coefficient memory 12 in that case The 1st class code S6 which it is easy to come out of block distortion, or the attention block showing the description that an edge and a detail part are easy to be included etc., and the average-value data S5 of the contiguity block are collected, is respectively quantized by n bits, and is obtained, Block distortion generated near a block boundary can be removed accommodative, without dulling an edge and a detail part, since it is the multiplier group by which the attention pixel was created in consideration of the positional information S7 showing which location within a block is corresponded to.

[0030] Thus, in a picture signal processor, the average-value data S5 are detected for every block, and while asking for the 1st class code S6 which an attention block and the average-value data S5 of the contiguity block are collected, and it comes to quantize by n bits respectively, the relative positional information S7 of the pixel within a block is detected. and subject-copy image data before adding the 1st class code S6 and positional information S7 to the 2nd class code S8 obtained by carrying out the pattern classification of the decode image data S4 for every restored block, performing a new class classification and encoding image data for every class of the and \*\*\*\* -- the same prediction decode image data is generated. Thereby, block distortion can be removed accommodative, without dulling an edge and a detail part.

[0031] In addition, in the case of this 1st example, there is an advantage that it is not necessary to change a transmission format, without applying a burden to the equipment of a transmitting side, since effectiveness which was mentioned above only by the processing by the side of decode of a picture signal processor is acquired. moreover, subject-copy image data before image data is encoded for every class in the case of the 1st example and \*\*\*\* -- it not only can remove block distortion accommodative, but resolution may improve by generating the same prediction decode image data and performing the so-called adaptive-prediction processing.

[0032] While detecting the average-value data S5 of each block of decode image data S4 according to the above configuration The positional information S7 relative about the pixel within each block of decode image data S4 is detected. In the 2nd class code S8 obtained by carrying out a pattern classification, decode image data S4 The 3rd class code obtained by obtaining and carrying out is made into address information. add the 1st class code S6 and positional information S7 which are acquired from the average-value data S5, perform a new class classification, and come -- subject-copy image data before carrying out reading appearance of the multiplier for every class of the and encoding image data, and \*\*\*\* -- by generating the same prediction decode image data Generation of the accommodative prediction decode image data according to a difference of the average value in which the block containing an edge or a detail part differs from the block out of which block distortion tends to come can be performed. The picture signal processor from which block distortion which avoids dulling an edge and a detail part beforehand and is generated near a block boundary is removable accommodative is realizable.

[0033] Next, the 2nd example of this invention is shown in drawing 5 . In this drawing 5 , the same sign is attached and shown in a corresponding point with drawing 1 . It changes to the averaging circuit 6 shown in drawing 1 , the maximum detector 31, the minimum value detector 32, and the arithmetic circuit 33 are formed, and this drawing 5 is made as [ ask / for median data / by these ].

[0034] That is, as shown in drawing 5 , decode image data S4 of the block unit acquired by carrying out decode processing of the image data S1 by which high efficiency compression coding, for example, DCT coding, was carried out through the frame decomposition circuit 2 and the block decoder circuit 4 is supplied to the maximum detector 31 and the minimum value detector 32 while it is supplied to the block delay circuit 5. For every block of decode image data S4, the maximum detector 31 and the minimum value detector 32 detect the maximum and the minimum value of an intensity level, respectively, and supply them to an arithmetic circuit 33. An arithmetic circuit 33 computes the median based on

maximum and the minimum value, and supplies it to the median memory 34 by using the obtained median as the median data S30. The average of maximum and the minimum value was computed and, specifically, the median has been acquired. The median memory 34 stores the median data S30 one by one for each [ are supplied in this way ] the block of every.

[0035] In addition, since the information on maximum or the minimum value, and a dynamic range is included in compression coding, now the image data S1 which is as a parameter when compression coding of the image data S1 is carried out by ADRC coding, maximum and the minimum value can be calculated from these values.

[0036] On the other hand, the block delay circuit 5 is delayed in decode image data S4 by the time amount which will start before computing the median data S30, and supplies the delayed decode image data S4 to a delay circuit 8 and the class generation circuit 9. Synchronizing with supply actuation of decode image data S4 from the prediction tap generation circuit 10 to the sum-of-products arithmetic circuit 13, reading appearance of the median data S30 stored in the median memory 34 is carried out to a coefficient memory 12. under the present circumstances, the median data S30 which the median memory 34 carried out reading appearance of an attention block and the median data S30 of that contiguity block, and carried out reading appearance -- as it is -- or what carried out the down shift to n bits, respectively, and reduced the number of bits is supplied to a coefficient memory 12 as 1st class code S31.

[0037] Here, the multiplier group memorized by the coefficient memory 12 is called for by study which is explained below. The 1st image data already known first and the 2nd image data which performed high efficiency compression coding, for example, DCT coding, and coding to the 1st image data are prepared. Moreover, the new class code which added median data and positional information to the class code obtained by ADRC coding is generated. And the approach which applied the least square method to the 1st and 2nd image data is given for every class code of the for which it asked, and it asks for the optimal

multiplier group. A coefficient memory 12 is formed by recording this called-for multiplier group on memory for every class.

[0038] In the above configuration, the image data S1 in which high efficiency compression coding was carried out by DCT coding is decoded per block by the block decoder circuit 4 with a picture signal processor. And in case the median data S30 for every block for which the maximum detector 31, the minimum value detector 32, and the arithmetic circuit 33 asked are stored in the median memory 34 and reading appearance is carried out from the median memory 34, reading appearance of an attention block and the median data S30 of the contiguity block is carried out. In this way, it quantizes by n bits, respectively and each median data S30 by which reading appearance was carried out is supplied to a coefficient memory 12 as 1st class code S31. Moreover, decode image data S4 of the restored block unit is supplied to the class generation circuit 9, by performing for example, ADRC coding processing, the 2nd class code S8 is generated and this 2nd class code S8 is supplied to a coefficient memory 12 here. Furthermore, in a control circuit 3, the positional information S7 which shows the relative location within the block of an attention pixel based on Horizontal Synchronizing signal S2 and Vertical Synchronizing signal S3 is searched for, and this positional information S7 is supplied to a coefficient memory 12.

[0039] A coefficient memory 12 reads the multiplier group which uses as the 3rd class code what doubled the 1st class code S31, the 2nd class code S8, and positional information S7 which were supplied, and is beforehand memorized for every class by making this 3rd class code into address information. That is, an attention block and the median data S30 of the contiguity block are brought together in the 2nd class code S8 obtained by class classification processing, and a multiplier group is read for what added the positional information S7 which shows the relative location within the 1st class code S31 respectively quantized and obtained by n bits, and the block of an attention pixel as 3rd new class code. [0040] subject-copy image data when the sum-of-products arithmetic circuit 13

carries out sum-of-products data processing of the image data supplied through a delay circuit 8 and the prediction tap generation circuit 10, and the multiplier group supplied from a coefficient memory 12, before encoding for every class to image data, and \*\*\*\* -- the same prediction decode image data is generated. It is easy to come out of the multiplier group supplied from a coefficient memory 12, and block distortion in that case. Or the 1st class code S31 which the attention block showing the description that an edge and a detail part are easy to be included etc., and the median data S30 of the contiguity block are collected, is respectively quantized by n bits, and is obtained, Block distortion generated near a block boundary can be removed accommodative, without dulling an edge and a detail part, since it is the multiplier group by which the attention pixel was created in consideration of the positional information S7 showing which location within a block is corresponded to.

[0041] Thus, in a picture signal processor, the median data S30 are computed from the maximum detected for every block, and the minimum value, and while collecting these median data S30 from an attention block and its contiguity block, quantizing by n bits respectively and asking for the 1st class code S31, the relative positional information S7 of the pixel within a block is detected. and subject-copy image data before adding the 1st class code S31 and positional information S7 to the 2nd class code S8 obtained by carrying out the pattern classification of the decode image data S4 for every restored block, performing a new class classification and encoding for every class of the and \*\*\*\* -- the same prediction decode image data is generated. While being able to remove block distortion accommodative by this, without dulling an edge and a detail part, the 1st class code S31 can be obtained from the maximum of decode image data S4, and binary [ of the minimum value ].

[0042] While computing the median data S30 from the maximum detected for every block of decode image data S4, and the minimum value according to the above configuration The positional information S7 relative about the pixel within each block of decode image data S4 is detected. In the 2nd class code S8

obtained by carrying out a pattern classification, decode image data S4 Add the 1st class code S31 and positional information S7 which are acquired from the median data S30, perform a new class classification, and the 3rd class code obtained in this way is made into address information. subject-copy image data before carrying out reading appearance of the multiplier for every class of the and encoding image data, and \*\*\*\* -- by having generated the same prediction decode image data While being able to compute the median data S30 from binary [ of the maximum detected for every block, and the minimum value ] Accommodative processing according to a difference of the median in which the block containing an edge or a detail part differs from the block out of which block distortion tends to come can be performed. Without using complicated circuitry and the calculation approach, the 1st class code can be obtained easily and block distortion which avoids dulling an edge and a detail part beforehand and is generated near a block boundary can be removed accommodative.

[0043] Next, the 3rd example of this invention is shown in drawing 6 . In this drawing 6 , the same sign is attached and shown in a corresponding point with drawing 1 like above-mentioned drawing 5 . It changes to the averaging circuit 6 shown in drawing 1 , the standard deviation calculation circuit 41 is formed, and this drawing 5 is made as [ calculate / by this / a standard deviation value ].

[0044] That is, as shown in drawing 6 , decode image data S4 of the block unit acquired by carrying out decode processing of the image data S1 by which high efficiency compression coding, for example, DCT coding, was carried out through the frame decomposition circuit 2 and the block decoder circuit 4 is supplied to the standard deviation calculation circuit 41 while it is supplied to the block delay circuit 5. For every block of decode image data S4, the standard-deviation calculation circuit 41 detects the standard variation of an intensity level, and supplies it to the standard variation memory 42. The standard-deviation value memory 42 stores the standard-deviation value S41 one by one for each [ are supplied in this way ] the block of every.

[0045] On the other hand, the block delay circuit 5 is delayed in decode image

data S4 by the time amount which will start before computing the standard-deviation value S41, and supplies the delayed decode image data S4 to a delay circuit 8 and the class generation circuit 9. A delay circuit 8 carries out block decomposition of the supplied decode image data S4, is accumulated, and before it reads accumulated decode image data S4, it carries out delay processing by the processing time of the class generation circuit 9, the standard deviation value memory 42, and a control circuit 3. A delay circuit 8 reads and supplies decode image data S4 which carried out delay processing in this way to the prediction tap generation circuit 10.

[0046] The prediction tap generation circuit 10 changes decode image data S4 into the signal format suitable for the operation gestalt of the sum-of-products arithmetic circuit 13, and supplies it to the sum-of-products arithmetic circuit 13 while it forms the prediction tap which a sum-of-products operation takes by collecting the circumference pixels focusing on an attention pixel for every block of decode image data S4.

[0047] Synchronizing with supply actuation of decode image data S4 from such a prediction tap generation circuit 10 to the sum-of-products arithmetic circuit 13, reading appearance of the standard compilation value S41 stored in the standard deviation value memory 42 is carried out to a coefficient memory 12. under the present circumstances, the standard-deviation value S41 which the standard-deviation value memory 42 carried out reading appearance of an attention block and the standard-deviation value S41 of that contiguity block, and carried out reading appearance -- as it is -- or what carried out the down shift to n bits, respectively, and reduced the number of bits is supplied to a coefficient memory 12 as 2nd class code S42.

[0048] An example of the standard deviation calculation circuit 41 is shown in drawing 7 . Decode image data S4 is supplied from an input terminal 51. Decode image data S4 of a block unit is supplied to the brightness frequency-distribution table 52, and the table of the frequency distribution of the intensity level of a block unit is generated in the brightness frequency-distribution table 52. Based

on the generated table, as shown in a formula (1), the average is computed and the computed average is supplied to the standard deviation calculation circuit 54 in the averaging circuit 53. In the standard-deviation calculation circuit 54, a standard variation is computed by the formula (2) from the table and the average of frequency distribution, and the computed standard variation is taken out from an output terminal 55. When the taken-out standard deviation value is small, the width of face of frequency distribution is narrow, and when a standard deviation value is large, the width of face of frequency distribution becomes large.

Moreover, even if it can calculate a variance and uses this variance by squaring a standard deviation value, it can be used similarly.

[0049]

Average value =  $\sigma$  (intensity-level x frequency) / total frequency (1)

Standard-deviation value =  $\sqrt{\sigma(\text{intensity-level-average})^2 \times \text{frequency}} / \text{total frequency}$  (2)

However,  $\sqrt{ } ( )$  uses the result of an operation in ( ) as a square root.

[0050] In the above configuration, the image data S1 by which high efficiency compression coding, for example, DCT coding, was carried out is decoded per block by the block decoder circuit 4 with a picture signal processor. And in case the standard variation S41 for every block for which the standard-deviation calculation circuit 41 asked is accumulated in the standard variation memory 42 and reading appearance is carried out from the standard variation memory 42, reading appearance of an attention block and the standard variation S41 of the contiguity block is carried out. In this way, it quantizes by n bits, respectively and each standard-deviation value S41 by which reading appearance was carried out is supplied to a coefficient memory 12 as 1st class code S42. Moreover, decode image data S4 of the restored block unit is supplied to the class generation circuit 9, by performing for example, ADRC coding processing, the 2nd class code S8 is generated and this 2nd class code S8 is supplied to a coefficient memory 12 here. Furthermore, in a control circuit 3, the positional information S7 which shows the relative location within the block of an attention pixel based on

Horizontal Synchronizing signal S2 and Vertical Synchronizing signal S3 is searched for, and this positional information S7 is supplied to a coefficient memory 12.

[0051] A coefficient memory 12 reads the multiplier group which uses as the 3rd class code what doubled the 1st class code S42, the 2nd class code S8, and positional information S7 which were supplied, and is beforehand memorized for every class by making this 3rd class code into address information. That is, an attention block and the standard-deviation value S41 of the contiguity block are brought together in the 2nd class code S8 obtained by class classification processing, and a multiplier group is read for what added the positional information S7 which shows the relative location within the 1st class code S42 respectively quantized and obtained by n bits, and the block of an attention pixel as 3rd new class code.

[0052] subject-copy image data when the sum-of-products arithmetic circuit 13 carries out sum-of-products data processing of the image data supplied through a delay circuit 8 and the prediction tap generation circuit 10, and the multiplier group supplied from a coefficient memory 12, before decoding for every class to image data, and \*\*\*\* -- the same prediction decode image data is generated. It is easy to come out of the multiplier group supplied from a coefficient memory 12, and block distortion in that case. Or the 1st class code S42 which the attention block showing the description that an edge and a detail part are easy to be included etc., and the standard-deviation values S41 of the contiguity block are collected, is respectively quantized by n bits, and is obtained, Block distortion generated near a block boundary can be removed accommodative, without dulling an edge and a detail part, since it is the multiplier group by which the attention pixel was created in consideration of the positional information S7 showing which location within a block is corresponded to.

[0053] Thus, in a picture signal processor, while collecting the standard-deviation values S41 detected for every block from an attention block and its contiguity block, quantizing by n bits respectively and asking for the 1st class code S42, the

relative positional information S7 of the pixel within a block is detected, and subject-copy image data before adding the 1st class code S42 and positional information S7 to the 2nd class code S8 obtained by carrying out the pattern classification of the decode image data S4 for every restored block, performing a new class classification and encoding for every class of the and \*\*\*\* -- the same prediction decode image data is generated. While being able to remove block distortion accommodative by this, without dulling an edge and a detail part, the 1st class code S42 can be obtained from the standard deviation value of decode image data S4.

[0054] According to the above configuration, with the standard deviation value S41 detected for every block of decode image data S4 The positional information S7 relative about the pixel within each block of decode image data S4 is detected. In the 2nd class code S8 obtained by carrying out a pattern classification, decode image data S4 Add the 1st class code S42 and positional information S7 which are acquired from the standard deviation value S41, perform a new class classification, and the 3rd class code obtained in this way is made into address information. subject-copy image data before carrying out reading appearance of the multiplier for every class of the and encoding image data, and \*\*\*\*, while acquiring the standard deviation value S41 detected for every block by having generated the same prediction decode image data Accommodative processing according to a difference of the standard deviation value in which the block containing an edge or a detail part differs from the block out of which block distortion tends to come can be performed. Without using complicated circuitry and the calculation approach, the 1st class code can be obtained easily and block distortion which avoids dulling an edge and a detail part beforehand and is generated near a block boundary can be removed accommodative.

[0055] In addition, in an above-mentioned example, although the case where compression coding of the image data S1 was carried out by DCT coding was described, this invention can acquire the same effectiveness as an above-mentioned case, not only this but when image data is encoded by compression

coding of others, such as ADRC coding, DPCM (Differential Pulse Code Modulation) coding, and BTC (Block Truncation Coding) coding.

[0056] Moreover, although the case where a coefficient memory 12 and the sum-of-products arithmetic circuit 13 became by separate circuitry was described, you may make it this invention constitute not only this but the coefficient memory 12, and the sum-of-products arithmetic circuit 13 as a block distortion clearance circuit collectively in an above-mentioned example.

[0057] Furthermore, although the case where carried out ADRC coding of the decode image data S4 for every block, performed class detection, and the 2nd class code S8 was obtained by this by the class generation circuit 9 in an above-mentioned example was described In the case of the coded-image signal with which compression coding of this invention is carried out for example, not only by this but by ADRC coding, it is good also as 2nd class code by extracting the re-quantization code contained in a coded-image signal in a class generation circuit as it is, and collecting the numbers of predetermined taps.

[0058] Moreover, although the case where this invention was applied to the picture signal processor which decodes the image data S1 which compression coding was carried out and has been transmitted in an above-mentioned example was described, this invention can acquire the same effectiveness as an above-mentioned case, not only this but when it applies to the picture signal processor which decodes the image data which compression coding was carried out, for example and was recorded, and is reproduced. If it is picture signal decode equipment which, in short, decodes the image data by which compression coding was carried out, it can apply widely.

[0059] Furthermore, in an above-mentioned example, there is an advantage that it is not necessary to change a transmission format, without applying a burden to the equipment of a transmitting side, since effectiveness which was mentioned above by applying this invention only to the playback side of a picture signal processor or a receiving side is acquired. Moreover, it not only can remove block distortion accommodative, but resolution may improve by performing the so-

called adaptive-prediction processing which retouches image data for every class also in the case of this example.

[0060]

[Effect of the Invention] The 1st class information which will be obtained from each average of an attention block and its contiguity block if it depends on this invention, The 3rd new class information is generated based on positional information and the 2nd class information obtained according to a pattern classification. subject-copy image data before carrying out reading appearance of the multiplier according to the 3rd class information, performing a sum-of-products operation to the decoded image data and encoding, and \*\*\*\* -- by having generated the same prediction decode image data Block distortion generated near a block boundary can be removed accommodative, without dulling an edge and a detail part.

[0061] Moreover, detect the maximum and the minimum value of an intensity level within each block of the decoded image data, and a median is computed from the detected value. While being able to acquire the 1st class information, without requiring complicated circuitry and the calculation approach by having acquired the 1st class information from each median of an attention block and its contiguity block Accommodative processing according to a difference of the median in which the block containing an edge or a detail part differs from the block out of which block distortion tends to come can be performed. Block distortion which avoids dulling an edge and a detail part beforehand and is generated near a block boundary is removable accommodative.

[0062] Furthermore, while being able to compute the standard-deviation value (or variance) of the intensity level within each block of the decoded image data and being able to acquire the 1st class information from an attention block and each standard-deviation value of the contiguity block Accommodative processing according to a difference of the standard deviation value in which the block containing an edge or a detail part differs from the block out of which block distortion tends to come can be performed. Block distortion which avoids dulling

an edge and a detail part beforehand and is generated near a block boundary is removable accommodative.

[0063] And if it depends on this invention, since the above effectiveness can be acquired by processing only to a playback or receiving set side, a burden is not applied to a record or transmission side, and there is an advantage that it is not necessary to change a format.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram having shown the configuration of the picture signal processor by the 1st example of this invention.

[Drawing 2] In order to generate the class code concerning this invention, it is approximate line drawing for explaining arrangement of the attention block which extracts average-value data, and a contiguity block.

[Drawing 3] It is approximate line drawing for explaining the relative positional information within the block of the attention pixel concerning this invention.

[Drawing 4] It is the block diagram showing the configuration for learning the multiplier applied to this invention.

[Drawing 5] It is the block diagram having shown the configuration of the picture signal processor by the 2nd example of this invention.

[Drawing 6] It is the block diagram having shown the configuration of the picture signal processor by the 3rd example of this invention.

[Drawing 7] It is the block diagram having shown the configuration of the standard-deviation calculation circuit applied to the 3rd example of this invention.

[Description of Notations]

2 [ ... A block delay circuit, 6 / ... An averaging circuit, 7 / ... Average memory, 8  
/ ... A delay circuit, 9 / ... A class generation circuit, 10 / ... A prediction tap

generation circuit, 11 / ... Class code memory, 12 / ... A coefficient memory, 13  
/ ... Sum-of-products arithmetic circuit ] ... A frame decomposition circuit, 3 ... A  
control circuit, 4 ... A block decoder circuit, 5

---